

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-076858

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

G11C 11/409
G11C 11/419

(21)Application number : 10-244824

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO
LTD

MITSUBISHI ELECTRIC CORP

(22)Date of filing :

31.08.1998

(72)Inventor :

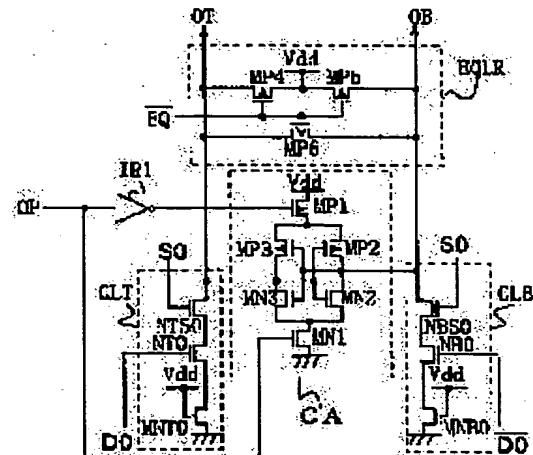
ISODA MASANORI
OISHI TSUKASA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for reducing the transmission time of a data signal and reducing time for reading and writing the storage information of a memory cell, and further to speed up a system in which the semiconductor device is used.

SOLUTION: A reception circuit for receiving a data signal is composed in a level conversion circuit where series circuits GLT and GLB are coupled to a pair of input/output nodes of a cross-coupling-type voltage amplifier CA in a DRAM consisting of a memory cell array where a plurality of memory cells are arranged, a direct peripheral circuit thereof, and an indirect peripheral circuit, and the voltage of a data signal via a global IO line is amplified while the amplitude is small, thus reducing transmission time. Also, by inputting a plurality of data signals to the level conversion circuit and selectively amplifying the voltage, a data selection circuit is used combinedly, thus a layout area and delay time can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application other
than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2000-76858

(P2000-76858A)

(43)公開日 平成12年3月14日(2000.3.14)

(51) Int.Cl.⁷

識別記号

FI

テーマコード・(参考)

G 1 1 C 11/409

G 1 1 C 11/34

3 5 4 R

5 B 0 1 5

11/419

311

5 B 0 2 4

3 5 4 H

審査請求 未請求 請求項の数5 O.L. (全 8 頁)

(21)出願番号

特願平10-244824

(22) 出願日

平成10年8月31日(1998.8.31)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(71)出題人 000006013

三菱重機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

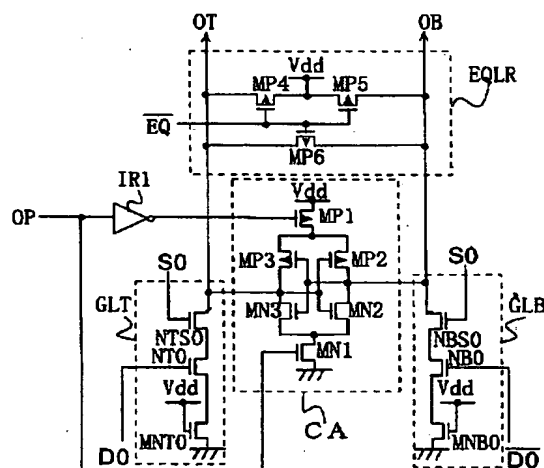
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 データ信号の伝送時間を短縮化し、メモリセルの記憶情報を読み出す時間や書き込む時間を短くすることができる半導体装置を提供し、さらにこの半導体装置を用いたシステムの高速化を図る。

【解決手段】 複数のメモリセルを配置するメモリセルアレイ、この直接周辺回路、間接周辺回路からなるDRAMであって、データ信号を受信する受信回路を、クロスカップル形の電圧増幅器CAの一対の入出力ノードに直列回路GLTとGLBが結合されたレベル変換回路に構成し、グローバルIO線を介したデータ信号が小振幅のうちに電圧増幅することにより、伝送時間の短縮化を図ることができる。また、レベル変換回路に複数のデータ信号を入力し、選択的に電圧増幅することにより、データ選択回路を兼用し、レイアウト面積の低減や遅延時間の低減を図ることができる。

图 2



CA: クロスカップル形の電圧増幅器
GLT, GLB: 直列回路
DO, \overline{DO} : データ信号

【特許請求の範囲】

【請求項1】 入出力線対を介して伝送される相補データ信号を受信する受信回路を有する半導体装置であって、

前記受信回路は、クロスカップル形電圧増幅器の一对の入出力ノードに結合された入力回路と、プリチャージ回路とを有し、

前記入力回路は、前記入出力線対にゲートが接続される第1MOSトランジスタ対と、

前記第1MOSトランジスタ対のドレインにそのソースが接続される第2MOSトランジスタ対と、

前記第1MOSトランジスタ対のソースに接続された電流源とを含み、

前記第2MOSトランジスタ対のゲートには電流遮断信号が入力され、そのドレインには前記クロスカップル形電圧増幅器の前記一对の入出力ノードが接続されることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記相補データ信号が前記受信回路の入力端で全振幅よりも小さいときに、前記受信回路を動作させて、前記入出力線対で生じる前記相補データ信号の伝送遅延を短縮することを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置であって、前記電流源は、前記第1MOSトランジスタ対のソースに接続されたソース・ドレイン経路を持つ第3MOSトランジスタであることを特徴とする半導体装置。

【請求項4】 請求項1、2または3記載の半導体装置であって、

第2入出力線対をさらに有し、

前記受信回路は、前記クロスカップル形電圧増幅器の前記一对の入出力ノードに結合され、前記第2入出力線対に対応して設けられる第2入力回路をさらに有することを特徴とする半導体装置。

【請求項5】 請求項1、2、3または4記載の半導体装置であって、前記半導体装置は、DRAMの半導体メモリであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データを受信する回路を有する半導体装置に関し、特に半導体装置内のデータ伝送時間を短縮化する半導体メモリなどの回路方式に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、本発明者が検討した技術として、半導体メモリの大容量化は、メモリセルとデータ入出力回路との距離を長くし、従来、その間の配線はビット線とメイン入出力（IO: Input/Output）線を用いていたが、最近では大規模化に伴いメインIO線以後にグローバルIO線を介し、データをやり取りするような技術が考えられる。

【0003】このグローバルIO線は、メモリセルアレイの近くに配置するメインアンプと、ボンディングパッドの近くに配置する入出力回路を結ぶため、配線長はチップ長辺の半分近くになるものもある。そこで、グローバルIO線にBi-Directional Bufferを接続し、データ伝送の高速化を図る回路構成が開示されている。これについては、たとえばISSCC95/SESSION14/DRAM/PAPER FA14.4などに示されている。

【0004】

【発明が解決しようとする課題】ところで、前記のような回路方式においては、グローバルIO線をバッファを介して分割するため、メインアンプの負荷となるグローバルIO線の配線抵抗と容量を減少させる効果がある。しかし、この方式でもバッファ回路自身の遅延、さらにチップの大規模化が進むことによる配線抵抗と容量の増大のため、高速化が望めなくなる。ここで発生する問題は、半導体メモリの大容量化により、グローバルIO線の寄生抵抗と容量の増大がデータ信号の伝送時間を増大することである。

【0005】以上のように、半導体メモリの大規模化に伴い、メモリセルから入出力回路までの配線距離が長くなっている。また、この配線に寄生する抵抗と容量も増大し、データ信号の伝送時間を遅らせる。この信号の遅延時間は、半導体メモリのデータを書き込む時間や読み出す時間を遅らせる。つまり、アクセス時間を遅らせる要因と考えられる。

【0006】そこで、本発明の目的は、上記データ信号の伝送時間を短縮化し、メモリセルの記憶情報を読み出す時間や書き込む時間を短くすることができるDRAMなどの半導体メモリを含む半導体装置を提供し、さらにこの半導体装置を用いたシステムの高速化を図るものである。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】すなわち、上記目的を達成するために、本発明による半導体記憶装置は少なくとも、メインアンプと入出力回路との間に1本以上のデータ入出力線とレベル変換回路を有し、データ入出力線を介した信号を小振幅のうちに増幅するレベル変換回路で構成するものである。

【0010】また、上記レベル変換回路は、3個のN形MOSトランジスタを直列に接続した直列回路を構成し、2個の直列回路をクロスカップル形の電圧増幅器に接続し、直列回路の2段目のN形MOSトランジスタの

ゲートにはデータを相補信号にしたデータ入出力線をそれぞれ接続し、直列回路の1段目のN形MOSトランジスタを電流遮断用、3段目を電流源にし、クロスカップル形の電圧増幅器の出力線にはプリチャージ回路およびイコライザ回路を接続した構成にするものである。

【0011】また、クロスカップル形の電圧増幅器に複数の直列回路を並列に接続し、それぞれの直列回路にはそれぞれのデータ入出力線を接続し、レベル変換するデータを選択できる構成にしたものである。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図1～図6の図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0013】まず、本発明に係る半導体装置の一例として、DRAM (Dynamic Random Access Memory) について説明する。

【0014】図1は、DRAMの回路構成の概略を示したものである。図1を用いて、本発明がDRAMの回路構成上で適用している箇所について説明する。なお、説明のためにDRAMを例にしているが、本発明はDRAM以外にも半導体装置内のデータ信号を受けてレベル変換する半導体装置に適用してもよい。同図の各ブロックを構成する回路素子は特に制限されないが、公知のCMOS (相補MOS) やバイポーラトランジスタなどの集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。

【0015】図1において、全体を囲む太線の枠は半導体チップChipを示し、この半導体チップChipは、メモリセルMC、ワード線WL、ビット線Bおよび/B、複数のメモリセルMCをマトリクス状に配置するメモリセルアレイMCA、ワードドライバXD、センスアンプSA、列選択線YL、列選択線YLを駆動する列ドライバYD、メインIO線MIO、グローバルIO線GIO(U)またはGIO(D)、メインアンプMA(U)およびMA(D)、書き込み回路WD(U)およびWD(D)、レベル変換回路GA(U)およびGA(D)、書き込みデータ送信回路WS(U)およびWS(D)、データ選択回路SLR(U)およびSLR(D)、データ出力回路OC、データ出力バッファOB、アドレスバッファ群AA、プリデコード群AB、行デコードRD、列デコードCD、タイミング発生回路TCなどから構成されている。

【0016】この半導体チップChipには、チップ外部からの入力信号として、行アドレスストロブ信号/RAS (以降参照符号の前に付けた、/は反転を表す)、列アドレスストロブ信号/CAS、アドレス信号Ae、データ書き込みイネーブル信号/WE、データ入力信号Dinが入力され、チップ外部への出力信号としてデータ出力信号Doutが出力される。また、チッ

プ外部から電源電圧Vcc、Vssが供給されている。

【0017】DRAMの主要な動作は、メモリセルMCに記憶情報を書き込むこと、または記憶情報を読み出すことである。そのために、入力信号の行アドレスストロブ信号/RASと列アドレスストロブ信号/CASは外部からの入力アドレス信号Aeに同期を取り、メモリセルアレイMCA内のどのメモリセルMCに情報のやり取りをするのかを決定する。アドレスバッファ群AAから出力した信号つまりアドレス信号はプリデコード群ABによりデコードされる。これにより発生したアドレスプリデコード信号Ai(x)またはAi(y)はそれぞれ行系の行デコードRD、列系の列デコードCDに入力される。

【0018】行系の行デコードRDはワードドライバXDに選択信号を送り、ワードドライバXDは1本または複数のワード線WLを選択的に活性化する。ワード線WLにより、メモリセルMCが選択されるとビット線Bには記憶情報に応じてメモリセル信号を出力する。ビット線Bと対をなすビット線/Bには記憶情報“0”、

“1”に応じるメモリセル信号の中間信号が出力される。センスアンプSAはそのビット線Bと/Bに出力された信号を差動増幅する。以上の動作の終了時期に合わせて信号YEは出力される。

【0019】一方、列系のアドレスバッファ群AAにより取り込まれたアドレス信号はプリデコード群ABによりアドレスプリデコード信号Ai(y)を出力し、列デコードCDによりデコードされる。デコードされた選択信号は列ドライバYDに出力される。また他方では、外部からの列アドレスストロブ信号/CASを基に作られた信号OEにより、信号YEと同期をとった信号CYが列ドライバYDを活性化し、データ出力回路OCを活性化する。列ドライバYDは列選択線YLを選択的に活性化する。列選択線YLにより選ばれたビット線Bと/Bの増幅信号はメインIO線MIOに微小信号として出力され、メインアンプMA(U)またはMA(D)により増幅される。この信号はグローバルIO線GIO(U)またはGIO(D)を介してレベル変換回路GA(U)またはGA(D)に入力される。次のデータ選択回路SLR(U)とSLR(D)によりデータを選択しデータ出力回路OCに送られる。データはシリアル化されデータ出力バッファOBによりチップ外部に出力される。

【0020】本発明では、図1に示した破線内の受信回路RRについて適用したものである。つまり、データ信号を受信する受信回路RRをレベル変換回路に構成し、グローバルIO線GIO(U)またはGIO(D)を介したデータ信号が小振幅のうちに電圧増幅し、次の段の回路へ送信する。さらに、データ選択回路SLR(U)またはSLR(D)をレベル変換回路と共用することにより遅延時間の短縮化を図る。

【0021】次に、本発明に係る半導体装置のさらに具体的な実施の形態について、図2～図6を参照しながら以下に詳細に説明する。

【0022】(実施の形態1) 図2は、本発明に係る半導体装置の実施の形態1を示す受信回路の回路図である。本実施の形態では、グローバルIO線を介したデータ信号を一旦MOSトランジスタのゲートで受けて、クロスカプル形の電圧増幅器を用いて信号増幅するレベル変換回路の例を示す。

【0023】図2において、受信回路は、一对の直列回路(入力回路)GLTとGLB、クロスカプル形の電圧増幅器CA、対となる出力線をプリチャージおよびイコライズするプリチャージ回路EQLR、インバータIR1などから構成されている。クロスカプル形の電圧増幅器CAの一对の入出力ノードに直列回路GLTとGLBが結合されている。

【0024】直列回路GLT、GLBはそれぞれ、ドレインが出力線OT、OBに接続され、電流遮断用の信号S0がゲートに入力された電流遮断用N形MOSトランジスタNTS0、NBS0、この各ソースにドレインが接続され、ゲートに相補データ信号D0、/D0が入力されたデータ入力用N形MOSトランジスタNT0、NBS0、この各ソースにドレインが接続され、ゲートが電源電圧Vddに接続され、ソースが接地された電流源用N形MOSトランジスタMNT0、MNB0からなる。

【0025】クロスカプル形の電圧増幅器CAは、ソースが電源電圧Vddに接続され、ゲートにインバータIR1を介して起動信号OPが入力されたP形MOSトランジスタMP1、このドレインにソースが共通に接続されたP形MOSトランジスタMP2、MP3、この各ドレインにドレインが接続されたN形MOSトランジスタMN2、MN3、この各ソースに共通にドレインが接続され、ゲートに起動信号OPが入力され、ソースが接地されたN形MOSトランジスタMN1からなる。P形MOSトランジスタMP2とN形MOSトランジスタMN2のゲートは、P形MOSトランジスタMP3とN形MOSトランジスタMN3の共通に接続されたドレインに接続されるとともに、一方の出力線OTに接続されている。P形MOSトランジスタMP3とN形MOSトランジスタMN3のゲートは、P形MOSトランジスタMP2とN形MOSトランジスタMN2の共通に接続されたドレインに接続されるとともに、他方の出力線OBに接続されている。

【0026】プリチャージ回路EQLRは、各ソースが共通に電源電圧Vddに接続され、各ゲートにプリチャージ信号/EQが入力され、各ドレインが各出力線OT、OBに接続されたP形MOSトランジスタMP4、MP5、ゲートにプリチャージ信号/EQが入力され、ドレイン、ソースが各出力線OT、OBに接続されたP形MOSトランジスタMP6からなる。

【0027】ここで、D0と/D0は互いに相補となるデータ信号でありグローバルIO線を介して入力している。本実施の形態では説明のため/D0を電源電圧Vddとし、D0をそれよりも低い電位信号とする。実際には、D0を電源電圧Vdd、/D0がそれよりも低い電位信号の場合もある。また、S0は電流遮断用の信号であり、クロスカプル形の電圧増幅器CAが高電位に増幅するときに直列回路GLTもしくはGLBに電流が流れないようにしている。

【0028】本実施の形態では、D0と/D0はグローバルIO線の遠端のデータ信号であり、信号の送信端よりも伝送遅延があり過渡的にも遷移時間が遅い。そこで、受信端ではデータ信号が小振幅のうちに電流遮断信号S0を高電位に遷移し、N形MOSトランジスタNTS0とNBS0を導通状態にする。ところで、直列回路GLTとGLBは同じ回路であり、3個の直列N形MOSトランジスタのON抵抗を十分高くしている。そのため、出力線OBはOTよりもわずかに電位の低下が起こる。この信号差をクロスカプル形の電圧増幅器CAは増幅し、次段の回路へ出力する。

【0029】本実施の形態では、グローバルIO線上のデータ信号を遠端では小振幅のうちにレベル変換回路で受信するため遅延時間を短縮することができるという特徴がある。

【0030】図3は、図2の実施の形態におけるタイミングチャート図である。図3を用いて、図2の実施の形態の動作を説明する。

【0031】図3において、/EQはプリチャージ回路EQLRを起動するプリチャージ信号、D0、/D0は互いに相補となるデータ信号、S0は電流遮断用の信号、OPはクロスカプル形の電圧増幅器CAを起動する信号、/OPは起動信号OPを反転した信号、OT、OBはレベル変換回路の出力信号である。また、これらの信号はそのノードも同時に示している。

【0032】まず、プリチャージ信号/EQが低電位るとき出力線の出力信号OTとOBの電位は電源電圧Vddに充電されている。その後、プリチャージ信号/EQが高電位になり、プリチャージ回路EQLRは遮断される。次に、データ信号/D0は電源電圧Vddを保持し、相補となるデータ信号D0は電源電圧Vddよりも電位を下げる。このとき、電流遮断信号S0が高電位になると直列回路GLTとGLBは導通状態となり、出力信号OTとOBの電位を下げる。ところが、このときのN形MOSトランジスタNT0とNBS0のON抵抗にはゲート電位分の差があり、出力線OTよりも低い電位差が出力線OBに生じる。

【0033】次に、起動信号OPが低電位から高電位に遷移するとN形MOSトランジスタMN1が導通状態に変化する。この遷移に合わせて出力線OTとOBの充電電荷はN形MOSトランジスタMN3とMN1またはN

形MOSトランジスタMN2とMN1を介して放電する。事前に、出力線OTよりも出力線OBの方が低い電位であるため、N形MOSトランジスタMN3はN形MOSトランジスタMN2よりも先に非導通状態となる。また、起動信号OPとはほぼ同時期に起動信号/OPが高電位から低電位に変化するためP形MOSトランジスタMP3とMP1を介して出力線OTを電源電圧V_{dd}に充電する。

【0034】本実施の形態では、データ信号のHighレベルまたはクロスカプル形の電圧増幅器CAの電源電圧を電源電圧V_{dd}としたが、それ以外の電源電位を用いてもよい。また、クロスカプル形の電圧増幅器CAの低電位側の電圧を接地電位としたが、これ以外の電源電圧を用いてもよい。

【0035】以上のように、本実施の形態では、データ信号D0と/D0はレベル変換回路により小振幅の信号を反転増幅することができる。また、本実施の形態を用いた半導体装置では、I/O線を介したデータ信号を、小振幅のうちに増幅し信号の伝送遅延を短縮化することができる。さらに、半導体装置のアクセス時間を短縮し、この半導体装置を用いたシステムの高速化を図ることができる。

【0036】(実施の形態2)図4は、本発明に係る半導体装置の実施の形態2を示す受信回路の回路図である。本実施の形態では、それぞれの直列回路の電流源を共通にしてレイアウト面積を低減する特徴がある。

【0037】図4において、GLTとGLBは直列回路(入力回路)であり、データ入力用N形MOSトランジスタNT0とNB0のソースを共通にして、電流源であるN形MOSトランジスタMNO0を接続する。他は前記図2に示した実施の形態1と同様である。

【0038】本実施の形態の回路動作は前記図2および図3で示した実施の形態1と同様であるが、クロスカプル形の電圧増幅器が起動を開始した後に、電流遮断信号S0を早い時期に低電位にする必要がある。これは、2個の直列回路のソースが共通であるため、出力線OTとOBが最終的には短絡状態になることを防いでいる。

【0039】従って、本実施の形態では、電流源の共通化によって回路のレイアウト面積を低減することができる。

【0040】(実施の形態3)図5は、本発明に係る半導体装置の実施の形態3を示す受信回路の回路図である。本実施の形態では、前記図4に示した実施の形態2の直列回路を複数個用いて、複数のグローバルI/O線から入力した複数のデータ信号を選択的にレベル変換することが特徴がある。

【0041】図5において、GLT0~GLTnとGLB0~GLBnは直列回路(入力回路)であり、同じ回路である。また、D0と/D0は相補のデータ信号であり、以下Dnと/Dnまで同様の関係にある。また、そ

れら以外は前記図4に示した実施の形態2と同じである。つまり本実施の形態は、D0からDnまでの複数のデータ信号を相補信号として入力したレベル変換回路である。これらのデータ信号は、電流遮断信号S0~Snの1つが低電位から高電位になることにより1組だけ選択する。これにより、次段のデータ選択回路と兼用したレベル変換回路を実現している。

【0042】本実施の形態は、グローバルI/O線を介したデータ信号を小振幅のうちに電圧増幅するため、伝送時間の短縮化を可能とする。また、複数のデータ信号から1つを選択できるため、次段のデータ選択回路が不要となりレイアウト面積の低減が可能となる。また、これらの優位性から半導体装置のアクセス時間の短縮化、チップ面積の低減に寄与する。さらに、この半導体装置を用いたシステムの高速化を可能にする。

【0043】図6は、図5の実施の形態におけるタイミングチャート図である。図6を用いて、図5の実施の形態の動作を説明する。

【0044】図6では説明のため、4組の相補なデータ信号を仮定している。また、データ信号/D0~D3は電源電圧V_{dd}より低い電位の信号とする。本実施の形態を適用する際の、データ信号の個数とデータの正負は前記の限りではない。図6において、プリチャージ信号/EQと起動信号OPと起動信号/OPを反転した信号/OPとレベル変換回路の出力信号OT、OBは前記図2と同じである。ここでは、D0~D3と/D0~D3は互いに相補となるデータ信号、S0~S3は電流遮断信号である。また、これらの信号はそのノードも同時に示している。

【0045】前記図3と同様に、プリチャージ信号/EQは出力線の出力信号OTとOBの電位を電源電圧V_{dd}に充電し、その後プリチャージ回路EQLRを遮断する。次に、データ信号/D0~D3は電源電圧V_{dd}を保持し、相補となるデータ信号D0~D3は電源電圧V_{dd}よりも電位を下げる。このとき、電流遮断信号S0~S3が1組のデータ信号を選択する。ここでは、データ信号D0と/D0を選択するために、電流遮断信号S0は低電位から高電位に遷移する。このため、直列回路GLT0とGLB0は導通状態となり、出力信号OTよりもOBが低下した電位に下がる。

【0046】その後は、前記図3の実施の形態1と同様に、起動信号OPによりクロスカプル形の電圧増幅器CAが動作し、出力線OTは電源電圧V_{dd}になり、出力線OBは接地電位になる。この一連の増幅動作の後、起動信号OPが高電位から低電位に遷移し、またプリチャージ信号/EQは低電位となり出力線OTとOBの電位を電源電圧V_{dd}に充電する。

【0047】以上の動作を、次のサイクルでデータ信号D1と/D1、さらに次のサイクルでデータ信号D2と

／D2、さらに次のサイクルでデータ信号D3と／D3を選択し、電圧増幅する。実際には、データ信号を選択する順番は任意でよい。

【0048】つまり、複数のデータ信号D0～Dnと／D0～／Dnを、電流遮断信号S0～Snが低電位から高電位に遷移することにより、選択を可能とする。

【0049】従って、本実施の形態では、グローバルIO線を介したデータ信号を小振幅のうちに電圧増幅するため、伝送時間の短縮化を可能とすることができる。また、複数のデータ信号から1つを選択できるため、次段のデータ選択回路が不要となりレイアウト面積の低減が可能になるとともに、遅延時間が短縮できる。また、これらの優位性から前記実施の形態1に比べてさらなる半導体装置のアクセス時間の短縮化、チップ面積の低減に寄与することができる。さらに、この半導体装置を用いたシステムの高速化を可能とすることができる。

【0050】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0051】たとえば、前記実施の形態においては、DRAMを例に説明したが、本発明はDRAMに限られるものではなく、半導体装置内のデータ信号を受けてレベル変換する他の半導体メモリなどについても適用することができる。

【0052】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0053】本発明によれば、半導体装置内のデータ伝送時間を短縮し、レベル変換回路とデータ選択回路を兼用できるため、レイアウト面積の低減や遅延時間の短縮ができる。このため、半導体装置のアクセス時間の短縮化およびレイアウト面積の低減が可能となり、この半導体装置を用いたシステムの高速化が実現できる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一例であるDRAMの構成を示す概略図である。

【図2】本発明に係る半導体装置の実施の形態1を示す受信回路の回路図である。

【図3】図2に示す実施の形態1におけるタイミングチャート図である。

【図4】本発明に係る半導体装置の実施の形態2を示す受信回路の回路図である。

【図5】本発明に係る半導体装置の実施の形態3を示す受信回路の回路図である。

【図6】図5に示す実施の形態3におけるタイミングチャート図である。

【符号の説明】

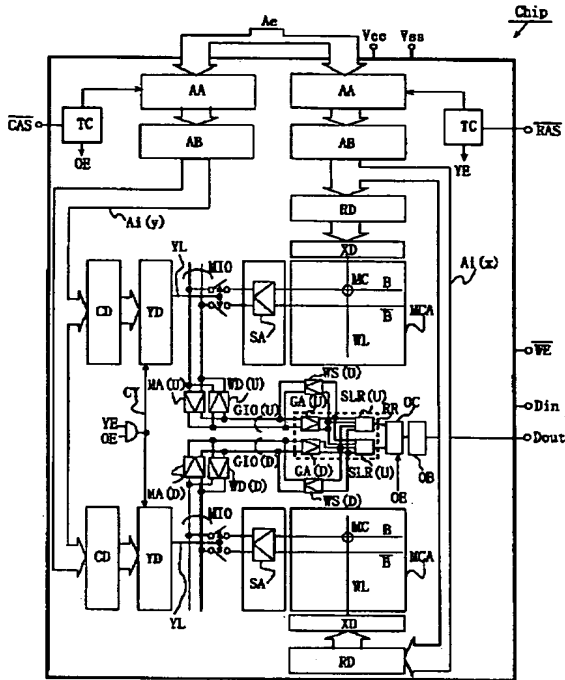
Chip 半導体チップ
MC メモリセル
WL ワード線
B, /B ビット線
MCA メモリセルアレイ
XD ワードドライバ
SA センスアンブ
YL 列選択線
YD 列ドライバ
MIO メインIO線
GIO(U), GIO(D) グローバルIO線
MA(U), MA(D) メインアンブ
WD(U), WD(D) 書き込み回路
GA(U), GA(D) レベル変換回路
WS(U), WS(D) 書き込みデータ送信回路
SLR(U), SLR(D) データ選択回路
OC データ出力回路
OB データ出力バッファ
AA アドレスバッファ群
AB プリデコーダ群
RD 行デコーダ
CD 列デコーダ
TC タイミング発生回路
／RAS 行アドレスストロブ信号
／CAS 列アドレスストロブ信号
Ae アドレス信号
／WE データ書き込みイネーブル信号
Din データ入力信号
Dout データ出力信号
Vcc, Vss 電源電圧
Ai(x), Ai(y) アドレスプリデコード信号
RR 受信回路
GLT, GLT0～GLTn 直列回路(入力回路)
GLB, GLB0～GLBn 直列回路(入力回路)
CA クロスカップル形の電圧増幅器
EQLR プリチャージ回路
IR1 インバータ
NTS0～NTSn, NBS0～NBSn 電流遮断用N形MOSTランジスタ
NT0～NTn, NB0～NBn データ入力用N形MOSTランジスタ
MNT0, MNB0, MN00 電流源用N形MOSTランジスタ
MP1～MP6 P形MOSTランジスタ
MN1～MN3 N形MOSTランジスタ
D0～Dn データ信号
／D0～／Dn 相補となるデータ信号
S0～Sn 電流遮断信号
OP 起動信号
／OP OPの反転信号

/EQ プリチャージ信号

OT, OB レベル変換回路の出力信号

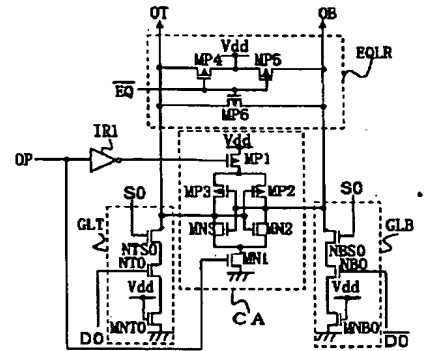
【図1】

図 1



【図2】

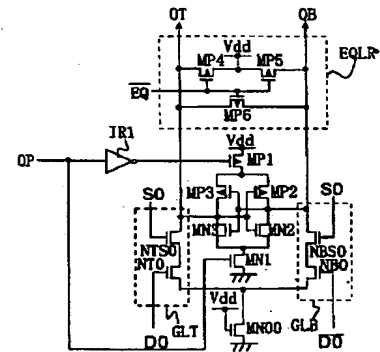
図 2



CA: クロスカプル形の電圧増幅器
GLT, GLB: 直列回路
DO, DO: データ信号

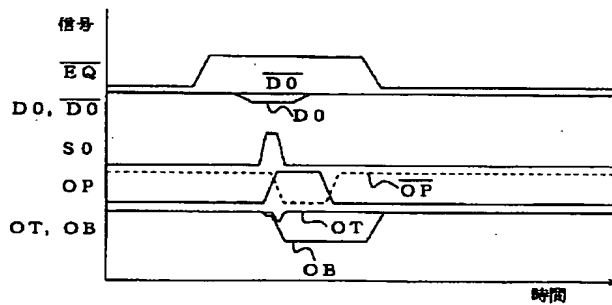
【図4】

図 4



【図3】

図 3



【図5】

【図6】

図 5

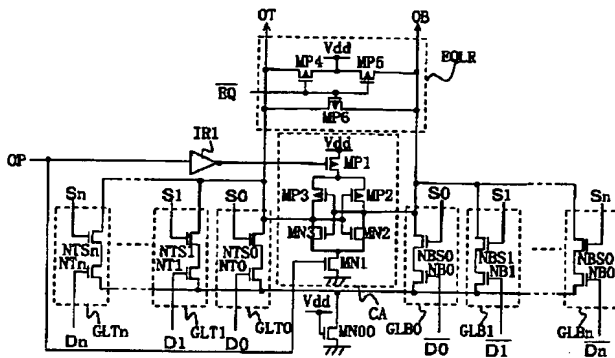
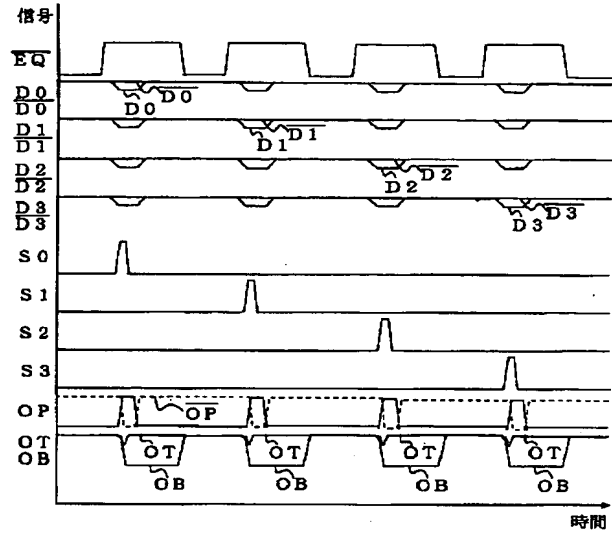


図 6



フロントページの続き

(72)発明者 磯田 正典
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 大石 司
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
Fターム(参考) 5B015 JJ21 KB09 KB12 KB93 QQ01
5B024 AA15 BA09 BA29 CA07